

(12) **EUROPÄISCHE PATENTANMELDUNG**

(21) Anmeldenummer: 90102235.0

(51) Int. Cl.⁵: H03L 7/093, H04L 7/033

(22) Anmeldetag: 05.02.90

(30) Priorität: 02.03.89 DE 3906689

(71) Anmelder: **Siemens Aktiengesellschaft**
Wittelsbacherplatz 2
D-8000 München 2(DE)

(43) Veröffentlichungstag der Anmeldung:
 05.09.90 Patentblatt 90/36

(72) Erfinder: **Ernst, Wolfram, Dipl.-Ing.**
Karl-Witthalm-Strasse 9
D-8000 München 70(DE)

(84) Benannte Vertragsstaaten:
AT BE CH DE ES FR GB GR IT LI NL SE

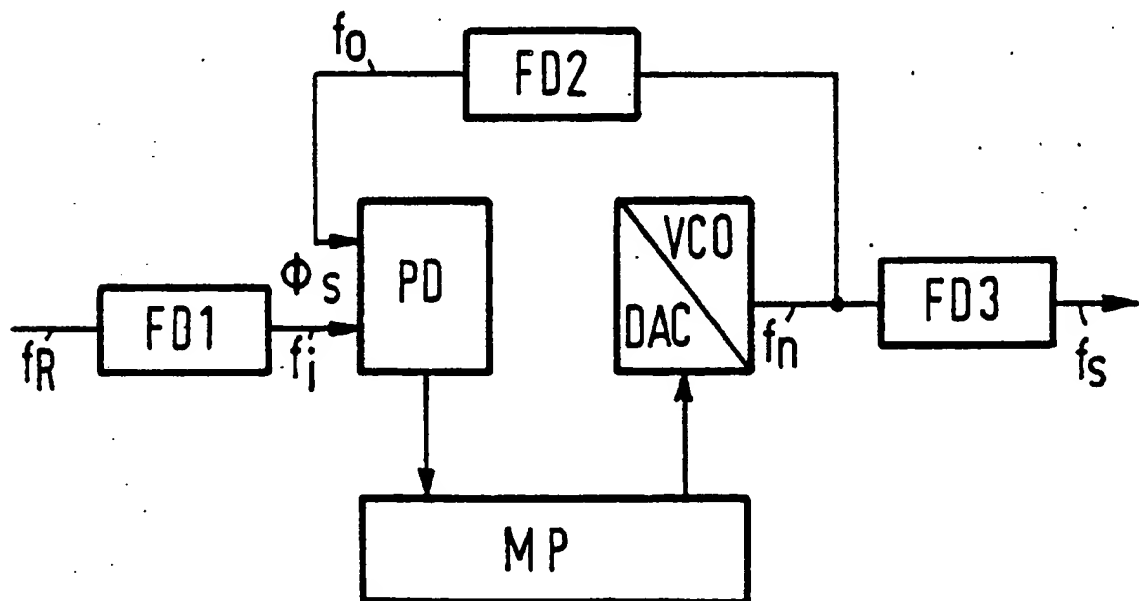
(54) **Verfahren zur Resynchronisation eines Taktes.**

(57) Die Resynchronisation eines Taktes (f_s) auf einen Referenztakt (f_R) erfolgt durch einen Phasenregelkreis, der eine bestimmte Schleifenverstärkung besitzt. Ist die Schleifenverstärkung groß, so werden zwar Frequenzdifferenzen zwischen Takt und Referenztakt den Phasendiskriminator (PD) des Phasenregelkreises beim Einschwingvorgang nicht übersteuern, Phasensprünge werden jedoch fast ungedämpft an nachgeschaltete Abnehmer des Taktes weitergegeben. Durch das neue Verfahren wird es ermöglicht, die bei der Resynchronisation einer Ver-

mittlungsstelle am Eingang des Phasenregelkreises auftretenden Phasensprünge langsam auszuregeln, Frequenzsprünge jedoch schnell.

Bevor die Resynchronisation gestartet wird, wird überprüft, ob am Eingang des Phasenregelkreises im wesentlichen ein Phasensprung oder ein Frequenzsprung vorliegt. Bei Vorliegen eines Frequenzsprungs wird die Resynchronisation mit einer großen Schleifenverstärkung gestartet, während bei Vorliegen eines Phasensprungs eine kleine Schleifenverstärkung angewandt wird.

EP 0 385 134 A2



Verfahren zur Resynchronisation eines Taktes.

Die Erfindung betrifft ein Verfahren zur Resynchronisation eines Taktes, insbesondere Vermittlungstaktes einer Fernmeldevermittlungseinrichtung auf einen wiederkehrenden Referenztakt mit Hilfe eines Phasenregelkreises.

Bei der Synchronisation digitaler Fernmeldevermittlungseinrichtungen (z.B. Konzentratoren) ist es vielfach erforderlich, zur Minimierung des Roundtrip Delays die Synchronisation auf Basis ganzer PCM-Rahmen, d.h. mit 8 kHz durchzuführen. Der Roundtrip Delay ist dabei die Laufzeit eines Signals bei einem gesamten Umlauf von einem rufenden Teilnehmer zu dem gerufenen Teilnehmer und wieder zurück.

Außerdem werden bei derartigen Einrichtungen der untersten Netzebene spannungsgesteuerte Oszillatoren (VCO) geringer Eigenstabilität eingesetzt, so daß bei Ausfall der Synchronisation die Frequenz des Taktes relativ schnell wegdriften kann. Nach Wiederkehr des synchronisierenden Referenztaktes kann es deshalb gleichzeitig zu großen Frequenz- und Phasensprüngen am Eingang des Phasenregelkreises kommen.

Frequenzsprünge dürfen dabei den Phasendiskriminator des Phasenregelkreises nicht übersteuern, und Phasensprünge müssen stark gedämpft, d.h. ohne starke Veränderung der Frequenz des Taktes an die nachgeschalteten Abnehmer weitergegeben werden. Beides erfordert ein gegensätzliches Regelverhalten des Phasenregelkreises.

Der Erfindung liegt die Aufgabe zugrunde, die bei der Resynchronisation einer Vermittlungsstelle am Eingang des Phasenregelkreises auftretenden Phasensprünge langsam auszuregeln, Frequenzsprünge jedoch schnell.

Diese Aufgabe wird bei einem gattungsgemäßen Verfahren durch die kennzeichnenden Verfahrensschritte des Anspruchs 1 gelöst. Hierdurch wird erreicht, daß Phasensprünge mit einer kleinen Schleifenverstärkung, d.h. langsam ausgeregelt werden, während Frequenzsprünge mit einer großen Schleifenverstärkung, d.h. in kurzer Zeit ausgeregelt werden.

Nach einer Ausgestaltung der Erfindung wird der Schwellwert für die Frequenzdifferenz, der zur Unterscheidung zwischen Phasen- und Frequenzsprüngen dient, nach der beim Ausregeln eines Phasensprungs tolerierbaren Frequenzdifferenz festgelegt.

Nach einer weiteren Ausgestaltung der Erfindung wird das Überschreiten des Schwellwertes für die Frequenzdifferenz durch das Auftreten von Phasenkongruenz vor Ablauf einer bestimmten Prüfzeit festgestellt.

Ein Realisierungsbeispiel des erfindungsgemä-

ßen Verfahrens mittels eines Mikroprozessors ist in der Zeichnung dargestellt und wird im folgenden näher erläutert.

Die Figur zeigt einen digitalen Phasenregelkreis, durch den ein Takt f_s auf einen Referenztakt f_R synchronisiert wird.

Der Phasenregelkreis beinhaltet einen Phasendiskriminator PD, einen Regler, der durch einen Mikroprozessor MP realisiert wird und der über einen Digital-Analog-Konverter DAC einen spannungsgesteuerten Oszillator VCO ansteuert, sowie eine Rückschleife, in der ein Ausgangstakt f_n des spannungsgesteuerten Oszillators über einen zweiten Frequenzteiler FD2 herabgeteilt wird und als ein normierter Ausgangstakt f_o auf den ersten Eingang des Phasendiskriminators zurückgeführt wird. An den zweiten Eingang des Phasendiskriminators liegt ein über einen ersten Frequenzteiler FD1 gebildeter normierter Referenztakt f_i an. Der Takt f_s entsteht über einen dritten Frequenzteiler FD3 aus dem Ausgangstakt f_n .

Ein bestimmter Frequenzsprung am Eingang des Phasendiskriminators bewirkt eine bestimmte maximale Phasendifferenz ϕ_{\max} von der Größe $\phi_{\max} = v/\alpha$, wobei α die Schleifenverstärkung des Phasenregelkreises und v die normierte Frequenzdifferenz ($v = \Delta f/f$) zwischen dem Referenztakt f_R und dem Takt f_s aufgrund des Frequenzsprunges bedeutet. Um die maximale Phasendifferenz ϕ_{\max} klein zu halten, muß also die Schleifenverstärkung α möglichst groß sein.

Ein Phasensprung ϕ_s am Eingang des Phasendiskriminators führt bei dessen Ausregelung zu einer maximalen Frequenzdifferenz v_{\max} von der Größe $v_{\max} = \alpha \phi_s$. Um diesen Wert klein zu halten, muß also die Schleifenverstärkung α möglichst klein sein.

Diese gegensätzlichen Forderungen können mit Hilfe des Mikroprozessors wie folgt erfüllt werden.

Nach wiederkehr der Referenzfrequenz f_R verbleibt der Mikroprozessor MP maximal für eine Prüfzeit T weiterhin im Speicherbetrieb (hold over), d.h. der Mikroprozessor speichert die bei Ausfall der Synchronisation am Phasendiskriminator vorgelegene letzte korrekte Phasendifferenz bis maximal um die Prüfzeit T über die Ausfallzeit hinaus und hält den spannungsgesteuerten Oszillator VCO damit bis zum Start der Resynchronisation auf der entsprechenden Frequenz. Der Wert für die Prüfzeit T richtet sich nach einer beim Ausregeln eines Phasensprungs tolerierbaren Frequenzdifferenz v_T zwischen dem Referenztakt f_R und dem Takt f_s und beträgt

$$T = 1/(v_T \cdot f_o)$$

Die tolerierbare Frequenzdifferenz v_T ist umso geringer, je weniger schnell der Phasenregelkreis Phasensprünge ausregeln soll, bzw. je stärker er Phasensprünge ausgangsseitig gegenüber den nachgeschalteten Abnehmern dämpfen soll.

Während der Prüfzeit T wird am Phasendiskriminator PD auf Phasenkongruenz zwischen den normierten Ausgangstakt f_o und dem normierten Referenztakt f_i geprüft. Tritt während der Prüfzeit T die erwähnte Phasenkongruenz am Phasendiskriminator PD auf, bedeutet dies, daß die Drift der Phasendifferenz (Frequenzdifferenz v) die bei Phasensprüngen tolerierbare Frequenzdifferenz v_T überschreitet. Deshalb wird zu diesem Zeitpunkt die Resynchronisation mit einer großen Schleifenverstärkung gestartet, entsprechend der Ausregelung eines Frequenzsprunges. Die Phasendifferenz ist zu diesem Zeitpunkt gleich Null. Ein Restfehler entsprechend der Meßunschärfe ist tolerierbar. Später wird die Schleifenverstärkung dann stufenweise auf den Betriebswert erniedrigt.

Läuft die Prüfzeit T jedoch ab, ohne daß am Phasendiskriminator eine Phasenkongruenz zwischen dem normierten Ausgangstakt f_o und dem normierten Referenztakt f_i aufgetreten ist, so ist die Frequenzdifferenz v kleiner als die tolerierbare Frequenzdifferenz v_T bei Ausregelung eines Phasensprungs. Die Resynchronisation wird deshalb mit kleiner Schleifenverstärkung gestartet, die dann stufenweise auf den Betriebswert erhöht wird.

differenz zwischen Referenztakt (f_R) und Takt (f_S) festgelegt wird.

3. Verfahren nach Anspruch 2,

dadurch gekennzeichnet,

daß das Überschreiten des Schwellwertes durch das Auftreten von Phasenkongruenz vor Ablauf einer bestimmten Prüfzeit festgestellt wird.

Ansprüche

1. Verfahren zur Resynchronisation eines Taktes (f_S), insbesondere Vermittlungstaktes einer Fernmeldevermittlungseinrichtung auf einen wiederkehrenden Referenztakt (f_R) mit Hilfe eines Phasenregelkreises,

gekennzeichnet

durch folgende Merkmale:

a) Nach der Wiederkehr des Referenztaktes (f_R) und vor dem Start der Resynchronisation wird geprüft, ob die am Eingang eines Phasendiskriminators (PD) des Phasenregelkreises auftretende Drift der Phasendifferenz zwischen dem Referenztakt (f_R) und dem Takt (f_S) einen bestimmten Schwellwert überschreitet,

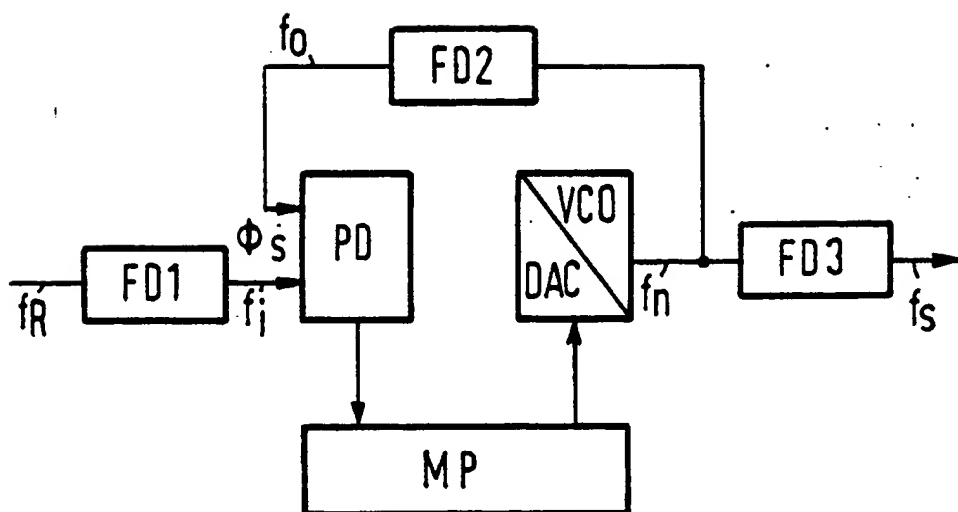
b) wird der Schwellwert überschritten, so wird die Resynchronisation mit einer großen Schleifenverstärkung gestartet,

c) wird der Schwellwert unterschritten, so wird die Resynchronisation mit einer kleinen Schleifenverstärkung gestartet.

2. Verfahren nach Anspruch 1,

dadurch gekennzeichnet,

daß der Schwellwert nach der beim Ausregeln eines Phasenssprungs (ϕ_S) tolerierbaren Frequenz-



DERWENT-ACC-NO: 1990-269222

DERWENT-WEEK: 199036

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Digital exchange clock resynchronisation in phase locked
loop - phase difference between clocks

INVENTOR: ERNST, W

PATENT-ASSIGNEE: SIEMENS AG[SIEI]

PRIORITY-DATA: 1989DE-3906689 (March 2, 1989)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
EP 385134 A	September 5, 1990	N/A	000	N/A
DE 59007015 G	October 13, 1994	N/A	000	H03L 007/093
EP 385134 B1	September 7, 1994	G	005	H03L 007/093
ES 2060824 T3	December 1, 1994	N/A	000	H03L 007/093

DESIGNATED-STATES: AT BE CH DE ES FR GB GR IT LI LU NL SE AT BE
CH DE ES FR GB
GR IT LI NL SE

CITED-DOCUMENTS: 1.Jnl.Ref; A3...199112 ; JP 63135018 ; NoSR.Pub ; US
4752748
; US 4827225 ; 01Jnl.Ref

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
EP 385134A	N/A	1990EP-0102235	February 5, 1990
DE 59007015G	N/A	1990DE-0507015	February 5, 1990
DE 59007015G	N/A	1990EP-0102235	February 5, 1990
DE 59007015G	Based on	EP 385134	N/A

EP 385134B1	N/A	1990EP-0102235	February 5, 1990
ES 2060824T3	N/A	1990EP-0102235	February 5, 1990
ES 2060824T3	Based on	EP 385134	N/A

INT-CL (IPC): H03L007/09, H03L007/093 , H04L007/033

ABSTRACTED-PUB-NO: EP 385134A

BASIC-ABSTRACT:

The clock signal (f_S) is synchronised to a reference clock (f_R) which is standardised by a first frequency divider (FD1) at a value (f_i) for application to the phase discriminator (PD) in a loop with a microprocessor (MP), D/A convertor (DAC), voltage-controlled oscillator (VCO) and second divider (FD2).

The output is taken from a third divider (FD3). The phase difference (f_S minus f_R) at the discriminator input is first checked to compare its rate of drift with a predetermined threshold, and the loop gain is adjusted accordingly.

USE/ ADVANTAGE - E.g. in telephone concentrator. Phase jumps at input are counteracted slowly, but frequency jumps are cancelled more rapidly.

ABSTRACTED-PUB-NO: EP 385134B

EQUIVALENT-ABSTRACTS:

Method for resynchronizing a clock (f_S), particularly switching clock of a telecommunications exchange, with a recurring reference clock (f_R) with the aid of a phase-locked loop, characterized by the following features: a) after the return of the reference clock (f_R) and before the start of the resynchronization, it is tested whether the drift, occurring at the input of a phase discriminator (PD) of the phase-locked loop, of the phase difference between the reference clock (f_R) and the clock (f_S) exceeds a specified threshold value, b) if the threshold value is exceeded, then the resynchronization is started with a large loop amplification, c) if the threshold value is not reached, then the resynchronization is started with a small loop amplification.

CHOSEN-DRAWING: Dwg.1/1 Dwg.1/1

TITLE-TERMS: DIGITAL EXCHANGE CLOCK RESYNCHRONISATION
PHASE LOCK LOOP PHASE
DIFFER CLOCK

DERWENT-CLASS: U22 W01

EPI-CODES: U22-H; W01-A04X; W01-B03;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1990-208402